

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-067678

(43)Date of publication of application : 03.03.1992

(51)Int.Cl.

H01L 29/784  
// H01L 27/04

(21)Application number : 02-179621

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.07.1990

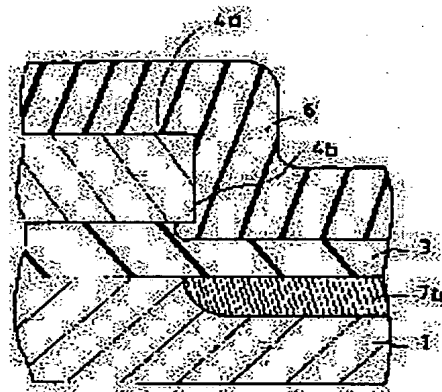
(72)Inventor : FUKUDA SANAE

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To enable a gate to be enhanced in breakdown strength and improved in controllability by a method wherein a second insulating film interposed between the protrudent corner of an electrode and a first insulating film is set higher than the first insulating film in dielectric constant.

CONSTITUTION: A second insulating film 6 higher than a first insulating film 3 in dielectric constant is interposed between the protrudent corners which are located at the side face or the base of a conductive electrode and where an electric field is apt to concentrate and the first insulating film 3 on which the conductive electrode is formed. As the dielectric constant of the second insulating film 3 is larger than that of the second insulating film 6, the electric field inside the second insulating film 6 is smaller than that inside the first insulating film 3 in intensity. In result, an electric field is restrained from increasing in intensity at the corners of the control electrode, so that not only a gate can be increased in breakdown strength for instance in an MIS type FET but also a source and a drain can be enhanced in electrical field intensity, and a gate can be improved in controllability.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

## ⑫ 公開特許公報(A) 平4-67678

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月3日

H 01 L 29/784  
// H 01 L 27/04

C

7514-4M

8422-4M

H 01 L 29/78

3 0 1 G

審査請求 未請求 請求項の数 3 (全8頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-179621

⑰ 出 願 平2(1990)7月9日

⑱ 発 明 者 福 田 早 苗 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 則近 憲佑

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) 表面に導電層が形成される基板と、この導電層を被覆して形成される第1の絶縁膜と、この第1の絶縁膜の表面に形成され、前記基板の表面と平行に凸か或は前記基板に向かって凸な角部を有する電極と、前記角部と前記第1の絶縁膜間に介在して形成され、前記第1の絶縁膜の誘電率よりも大きな誘電率を有する第2の絶縁膜とを備えたことを特徴とする半導体装置。

(2) 前記導電層は電界効果トランジスタのソースまたはドレインであり、前記電極は電界効果トランジスタのゲート電極であることを特徴とする請求項(1)記載の半導体装置。

(3) 前記第1の絶縁膜は酸化シリコンであり、前記第2の絶縁膜は窒化シリコンであることを特徴とする請求項(1)及び(2)記載の半導体装置。

## 3. 発明の詳細な説明

## 【発明の目的】

(産業上の利用分野)

本発明は半導体装置に係わり、特にゲート絶縁膜の構造に改良を加えたMIS

(Metal Insulator Semiconductor)型構造の半導体装置に関する。

(従来技術)

近年、コンピュータや通信機器の重要部分には大規模集積回路(LSI)が多用されている。これらのLSIは、数ミリ角の半導体基板上に多数のトランジスタを集積して形成されている。最近ではこのLSIは、多種多様の機能を果たすためにより一層の集積化がなされている。

DRAMを初めとして最も集積化が進んでいるシリコンの半導体集積回路においては、MIS型電界効果トランジスタ(MISFET)が主たる構成素子である。例えば、n-MISFETの一般的な構造は、p型Si基板上にSiO<sub>2</sub>等の絶縁膜を介して金属(ポリシリコンを含む)のゲート電極が形成され、このゲート電極下部の前記基板

表面部分を挟む形でn型のソース及びドレインがこの基板表面に形成される。この構造において、ゲート電極に印加する電圧により、ソースとドレイン間にn型チャネルを誘起するとともに、これを通る電流を制御するものである。高集積化と高速化を実現するために、これらのトランジスタの微細化が進んできており、すでに実効チャネル長が0.1ミクロンの素子も開発されている。

素子の形状を決めるスケーリング則にしたがって素子の微細化をしていくと、0.5ミクロンのゲート長でゲート絶縁膜は高々100Å 或はそれ以下になってしまう。このようなFETではゲート絶縁膜が薄いので、特に動作中にゲート電極下部のエッジ部近傍で高い電界がかかる。その結果、このエッジ部とソース、ドレイン領域間の絶縁膜で耐圧(ゲート耐圧)が低下し、さらには絶縁破壊が発生してしまう。第6図はこの問題に対処するための従来の方法を説明する説明図である。この図に示すようにシリコン基板51上にSiO<sub>2</sub>からなるゲート酸化膜52が形成され、さらにその上にボ

リシリコンからなるゲート電極53が形成される。ここで、51aはドレイン領域、51bはチャネル領域である。従来の方法ではゲート電極53形成後に酸化雰囲気中で加熱することによって、ゲート電極52下部のエッジ部直下の酸化膜部分52aを厚く成長させて、耐圧の低下を防いでいた。

しかしながら、この酸化膜成長工程は、原理的にゲート電極下部のエッジ部直下の酸化膜の成長を促進するものであり、微細化が進みゲート長が短くなると、この工程による新たな酸化膜の成長が、前記エッジ部直下だけでなくゲート電極の中央部に近いところまで進行してしまう。その結果、ゲート電極によるチャネル51bの電位の制御性は著しく損なわれるという問題があった。

また、微細なMISFETでは一般にドレインとチャネルの接合部での横方向電界が強くなり、エネルギーの高いキャリアが発生して絶縁膜中に飛び込む場合が多い。その結果、この絶縁膜中にキャリアをトラップしやすい箇所が生じたり、同キャリアをトラップする界面準位が発生したり

するため、素子動作の信頼性の点で問題があった。この対策として、LDD (Lightly Doped Drain) 構造と呼ばれるドレイン部分の不純物プロファイルに改良を加えたFET構造が提案されMISFETに実際に使われている。

第7図はこのLDD構造が用いられた従来のMISFETの断面図である。この図に示すようにp型シリコン基板61表面にn<sup>+</sup>型のソース領域62a及びドレイン領域62bが形成され、これらの領域間の基板61表面にはこのソース及びドレイン領域62a、62bより不純物濃度が低いn型領域63a、63bがそれぞれソース、ドレイン領域62a、62bに接して形成される。このn型領域63a、63bの間はn型チャネル64となっており、この上にゲート絶縁膜65が、さらにその上にゲート電極66が形成される。さらにゲート絶縁膜65及びゲート電極66の側部には窒化シリコンからなる側壁67a、67bがそれぞれソース、ドレイン領域側に形成され、また、ソース、ドレイン領域62a、62bに対して電極配線68a、68bが接続する。一方、これら電極配線68a、68b

とソース、ドレイン領域62a、62bとゲート電極66と側壁67a、67bの間には隙間なく絶縁層69が形成される。

この構成を有するMISFETであれば、不純物濃度の低いn型領域63a、63bが形成されているので、素子動作時の空乏層の領域が広がり、この部分にかかる電界が緩和される。

しかしながら、このLDD構造が用いられるMISFETには次の問題がある。この構造ではドレイン62b側にゲート電極66の制御しきれない低濃度n型領域63bが存在するため、寄生抵抗が大きくなり、このため駆動力が小さくなるという問題が生じていた。また、ゲートの制御性を高めるために、ゲートの側壁67a、67bをゲート絶縁膜65より誘電率の高い物質にすると、ゲート電極66下部のエッジ部66aでの電界集中がより促進され、ゲート耐圧が低下してしまう問題が生じていた。

(発明が解決しようとする課題)

以上述べてきたように、トランジスタの微細化が進んできた現在、従来の半導体装置例えばM

I.S型FETは、ゲート電極下部のエッジ部近傍での高い電界によりゲート耐圧が低下し、さらには絶縁破壊が生じてしまうという問題があった。また、この問題を解決しようとする場合に、ゲート電極の制御性が損なわれる問題が生じていた。

本発明は上記実情に鑑みてなされたもので、ゲート耐圧が高くしかもゲートの制御性も損なわれない半導体装置を提供することを目的とする。

#### 【発明の構成】

##### （課題を解決するための手段）

前述した問題を解決するため本発明は、表面に導電層が形成される基板と、この導電層を被覆して形成される第1の絶縁膜と、この第1の絶縁膜の表面に形成され、前記基板の表面と平行に凸か或は前記基板に向って凸な角部を有する電極と、前記角部と前記第1の絶縁膜間に介在して形成され、前記第1の絶縁膜の誘電率よりも大きな誘電率を有する第2の絶縁膜とを備えたことを特徴とする半導体装置を提供する。

##### （作用）

ということが出来る。

##### （実施例）

本発明による半導体装置の詳細を実施例を用いて説明する。

##### 第1の実施例

第1図は本発明による半導体装置の第1の実施例に係わるnチャネルMOSFETのゲート電極下部のエッジ部分を拡大した断面図、第2図は第1図に示す本発明による半導体装置の一実施例の製造工程を示す断面図である。

まず最初に、第1図に示す半導体装置の一実施例を説明する前に第2図の製造工程断面図について詳細に説明する。第2図(a)に示すように、p型半導体基板1（これはn型半導体基板の表面に形成されたp型ウエル領域でもよい。）表面に選択的に素子分離用のフィールド絶縁膜2を形成した後、例えば加熱しながら塩酸希釈酸化を行い、この第1の絶縁膜として70Å厚の薄い熱酸化膜(SiO<sub>2</sub>)3をフィールド絶縁膜2に囲まれた素子形成領域に形成する。この熱酸化膜3はゲート

本発明によれば、MIS型電極を備えた半導体装置を構成するに当たり、第1の絶縁膜表面に形成した導電性電極のうち、その側面或は底面に存在して電界集中を起こしやすい状態となった凸状の角部にのみ、第1の絶縁膜と異なる第2の絶縁膜をもこれに重ねて介在する様にしておき、しかもこの第2の絶縁膜は、前記第1の絶縁膜の誘電率よりも大きな誘電率を有する様にしている。一般に電束密度Dは $D = \epsilon E$ （ここで、 $\epsilon$ は誘電率、Eは電界の大きさ。）で与えられ、このDが異なる物質の界面に垂直な方向で連続となるように電界は決まる。前述したように、第1の絶縁膜の誘電率より第2の絶縁膜の誘電率が大きく、このため第2の絶縁膜中の電界の大きさは第1の絶縁膜中の電界の大きさより小さくなる。その結果、前記制御電極の角部での電界の大きさを小さく抑えることができる。このため、例えばMIS型FETでは、ゲート耐圧を増加させることができるとともに、前記ソース、ドレインでの電界の大きさを大きくせしめ、ゲートの制御性を向上させる

酸化膜となる。次いで前面にLPCVD（Low Pressure Chemical Vapour Deposition）法により多結晶シリコン膜4を約4000Å堆積する。次に燐イオン20をドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧30keVの条件で注入することにより、多結晶シリコン膜4にn<sup>+</sup>型の導電性を持たせる。

次にレジストをパターンニングして、ゲート電極形成用のレジストパターン5を形成し（第2図(b)）、このレジストパターン5の上から例えば異方性エッチングを行い、多結晶シリコン膜4を選択的に除去して、n<sup>+</sup>型のゲート電極4aをゲート長0.5μm以下で形成する（第2図(c)）。

この後、レジストパターン5を除去し、例えばウェットエッチング法により、第2図(d)に示すようにゲート電極4a下部のエッジ部4b直下のゲート酸化膜3を除去し、ゲート電極4a下部のエッジ部4bを露出させる。この工程の後、続けて第2の絶縁膜として窒化シリコン膜6をLPCVD法により堆積し、ゲート電極4a下部のエッジ部4bを窒化シリコン膜6で覆う（第2図(e)）。

次に、 $n^+$ 型のゲート電極4aをマスクにして自己整合的に $n^+$ 型のソース領域7a及びドレイン領域7bを形成し、さらにCVD法により、層間絶縁膜8として $\text{SiO}_2$ 膜、或はPSG膜、BPSG膜などを堆積する。最後に、ソース領域7a及びドレイン領域7b上にそれぞれ開口部A、Bを設け、これらの開口部A、Bを埋め込むように電極配線9a、9bをそれぞれ形成した後、全面に保護膜10を形成する(第2図(f))。

以上のような工程を経ることによって、本発明による半導体装置の一実施例として第1図に示す $n$ チャネルMOSFETを形成できる。この図において、ゲート電極4a下部のエッジ部4bはゲート酸化膜を構成する $\text{SiO}_2$  (誘電率 $\epsilon = 3.9$ )よりも誘電率の高い窒化シリコン膜6 ( $\epsilon = 7.5$ )で囲まれる。

なお、①本発明による半導体装置の $n$ チャネルMOSFETと②ソース、ドレイン領域とゲート電極間の絶縁膜が $\text{SiO}_2$ のみからなる従来の $n$ チャネルMOSFETと③ゲート側壁に窒化シリコ

ように、ゲート電極4aをマスクとして例えば燐イオン40をドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 、加速電圧20keVの条件で注入して、低濃度の $n$ 型ソース領域41a及びドレイン領域41bをつくる。

次に第4図(b)に示すように、CVD (Chemical Vapour Deposition) 法で窒化シリコン膜42を堆積し、ゲート電極4a下部のエッジ部4bを窒化シリコン膜42で覆う。

次にこの窒化シリコン膜を異方性エッチングすることにより、第4図(c)に示すようにゲート電極4aに第2の絶縁膜に対応する側壁42a、42bを形成する。さらに、このゲート電極4aと側壁42a、42bをマスクにして、例えばヒ素イオン43を $5 \times 10^{13} \text{ cm}^{-2}$ 、加速電圧40keVで注入して、高濃度の $n$ 型領域44a、44bをそれぞれソース41a及びドレイン41bと重なるように形成する(第4図(d))。

最後に、第2図(f)と同様の方法で層間絶縁膜45、電極配線9a、9b、保護膜10を形成し、本発明による半導体装置の第2の実施例を完成する(第4図(e))。

ン膜を用いた従来の $n$ チャネルMOSFETとで、ゲート電極下部のエッジ部における電界の値を測定した。第3図はその結果を示す特性図である。この図に示すように、ゲート電極下部のエッジ付近の電界強度のゲート酸化膜中央部の電界強度に対する比は①、②、③の順に小さくなっており、①は②に比べ<sup>27%</sup>改善される結果を得た。すなわち、ゲート電極4a下部のエッジ付近の電界は弱まり、ゲート耐圧を増加させることができる。また、ソース領域7a、ドレイン領域7b部での電界の大きさを大きくし、ゲートの制御性を増加させることができる。

## 第2の実施例

第4図は本発明による半導体装置の第2の実施例を説明するためのこの実施例装置の製造工程を示す断面図である。この図において第1図及び第2図と同一の部分には同一の符号を付して示し詳細な説明は省略する。

まず、前述した第1の実施例における第2図(a)~(d)の工程を行った後、第4図(a)に示す

この実施例装置であれば、前述した第1の実施例と同様の効果がある。特に低濃度の $n$ 型ソース領域41a及びドレイン領域41b部分での電界の大きさを大きくすることができるので、トランジスタとしての駆動力を大きくすることが可能であり、ゲートの制御性を向上させることができる。

なお、前述した第1及び第2の実施例ではNMOSFETを例に挙げて説明したが、不純物を変えた同様の製造方法により、同様の構造のPMOSFETを実現できる。

さらに、<sup>+分りゲート長が短い場合は、</sup>ゲート電極形成後、酸化性雰囲気中でアニールすることにより、ゲート電極下部のエッジ部直下の酸化膜を成長させ、ゲート耐圧を向上させる方法を併用してもよい。

さらにまた、本発明による半導体装置の他の実施例として、MOS型キャパシタが挙げられる。第5図はその構造を示す断面図である。この図に示すように、 $n$ 型( $p$ 型、 $i$ 型でもよい。)の半導体基板48aの表面には第1の絶縁膜として例えば酸化シリコン膜48bが形成され、さらにその上

には電極として導電層例えばポリシリコン層48cが形成される。ここでポリシリコン層48cの下部のエッジ部48dは酸化シリコン膜48bとは接しておらず、酸化シリコン膜48bとの間に間隙を形成している。この間隙を埋め込むように第2の絶縁膜として例えば窒化シリコン膜48eが形成される。

一方、基板48aの裏面には電極48fが形成され、前記ポリシリコン層48c及びこの電極48fにはそれぞれ入出力配線48g及び48hが設けられる。

この構造を有するMOS型キャパシタであれば、窒化シリコン膜48eの誘電率が酸化シリコン膜48bの誘電率よりも大きいので、前記エッジ部48dでの電界の大きさを小さく抑え、MOS型キャパシタの耐圧を高めることができる。

さらに、本発明は半導体装置全般に対して適用することができ、例えばMOS型ダイオード、MOS型パワートランジスタ等に適用することができる。

その他、第1の絶縁膜の誘電率より第2の絶縁膜の誘電率が大きいような絶縁膜の組み合わせに

やや丸みのついたもので良い。

なお、本発明は上記実施例に限定されるものではなく、その趣旨を逸脱しない範囲で種々変形実施できることは言うまでもない。

#### 【発明の効果】

以上述べたように本発明による半導体装置によれば、制御電極の角部での電界の大きさを小さく抑えることができ、例えばMISFETでは、ゲート耐圧を増加させることができるとともにゲートの制御性を向上させることができる。

#### 4. 図面の簡単な説明

第1図は本発明による半導体装置の第1の実施例に係わるnチャネルMOSFETのゲート電極下部のエッジ部分を拡大した断面図、第2図は第1図に示す本発明による半導体装置の一実施例の製造工程を示す断面図、第3図は本発明による半導体装置のnチャネルMOSFETと従来のnチャネルMOSFETで、ゲート電極下部のエッジ部における電界の値を測定した結果を示す特性図、第4図は本発明による半導体装置の第2の実

対して本発明は適用可能である。例えば絶縁膜の材料として、上記実施例の他に酸化物例えば $Ta_2O_5$  ( $\epsilon=11.6$ ) や $Al_2O_3$  ( $\epsilon=9.3$ ) 等、さらには窒化物例えば $AlN$ 等を組み合わせて用いることが可能である。

ここでは導電層にn型或はp型等を呈する半導体層を挙げて説明したが、これに限るものではなく、例えば金属や金属と半導体の合金等でも良く、要は低比抵抗で電流を流せる材料であれば構わない。この導電層を用いたデバイスとしてソース・ドレイン領域が特になく、この領域をソース・ドレイン電極で兼ねた様なFET等が挙げられる。

また、ここでは半導体基板に向って凸な角部を有する電極を挙げて説明したが、この角部は基板の表面とやや平行な方向から基板側へ $90^\circ$ から $180^\circ$ の範囲で傾けた方向に凸となる様なものであれば、全て良い。

さらに、ここでいう角部とは極めて電界が集中し易く、先述した問題となる形状のものを指し、先が鋭く尖ったものから、直角のもの、さらには

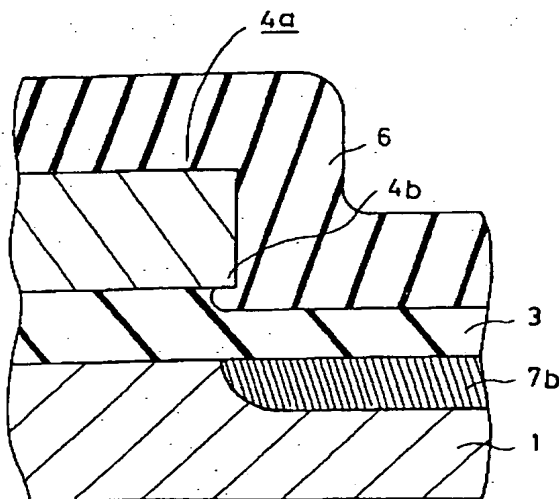
実施例を説明するためのこの実施例装置の製造工程を示す断面図、第5図は本発明による半導体装置のMOS型キャパシタの実施例の構成を示す断面図、第6図はゲート耐圧低下を防ぐためゲート電極形成後に酸化雰囲気中で加熱する従来技術を用いたときのMOSFETのゲート電極下部のエッジ部分の断面図、第7図はLDD構造を説明するためのその断面図である。

- 1…p型半導体基板、
- 2…異分子分離用のフィールド絶縁膜、
- 3…熱酸化膜（第1の絶縁膜）、
- 4…多結晶シリコン膜、 4a…ゲート電極、
- 4b…ゲート電極4a下部のエッジ部、
- 5…レジストパターン、
- 6、42…窒化シリコン膜（第2の絶縁膜）、
- 7a…n<sup>+</sup>型のソース領域、
- 7b…n<sup>+</sup>型のドレイン領域、
- 8、45…層間絶縁膜、 9a、9b…電極配線、
- 10…保護膜、 40…燐イオン、
- 41a…低濃度のn型ソース領域、

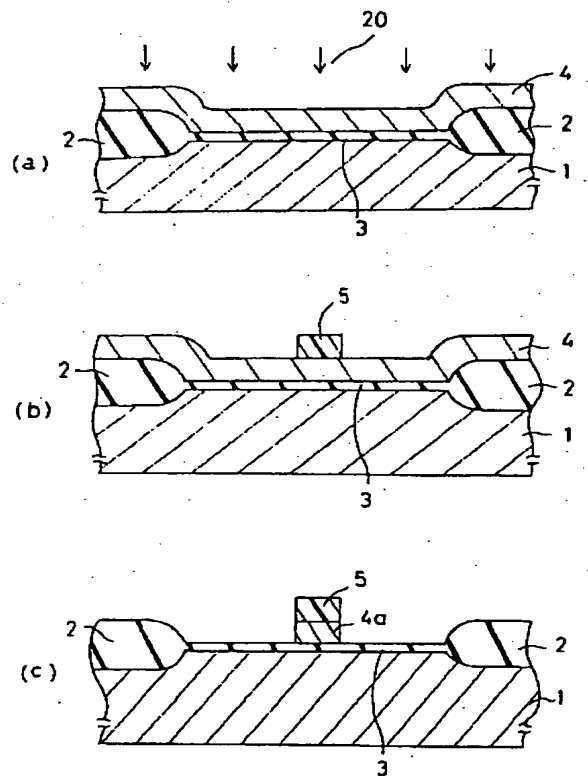
- 41b…低濃度のn型ドレイン領域、  
 42a, 42b…第2の絶縁膜に対応する側壁、  
 43…ヒ素イオン、  
 44a, 44b…高濃度のn型領域、  
 48a…半導体基板、 48b…酸化シリコン膜、  
 48c…ポリシリコン層、 48d…エッジ部、  
 48e…窒化シリコン膜、 48f…電極、  
 48g, 48h…入出力配線、 51…シリコン基板、  
 51a…ドレイン領域、 51b…チャネル領域、  
 52…ゲート酸化膜、 53…ゲート電極、  
 52a…ゲート電極52下部のエッジ部直下の酸化膜部分、  
 61…p型シリコン基板、  
 62a…n<sup>+</sup>型のソース領域、  
 62b…n<sup>+</sup>型のドレイン領域、  
 63a, 63b…62a, 62bより不純物濃度が低いn型領域、  
 64…n型チャネル、 65…ゲート絶縁膜、  
 66…ゲート電極、  
 66a…ゲート電極66下部のエッジ部、

- 67a, 67b…側壁、 68a, 68b…電極配線、  
 69…絶縁層、

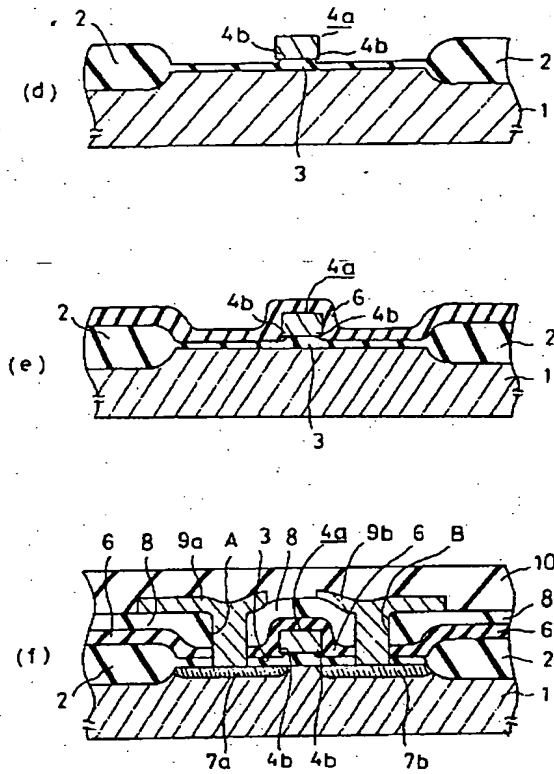
代理人 弁理士 則 近 憲 佑



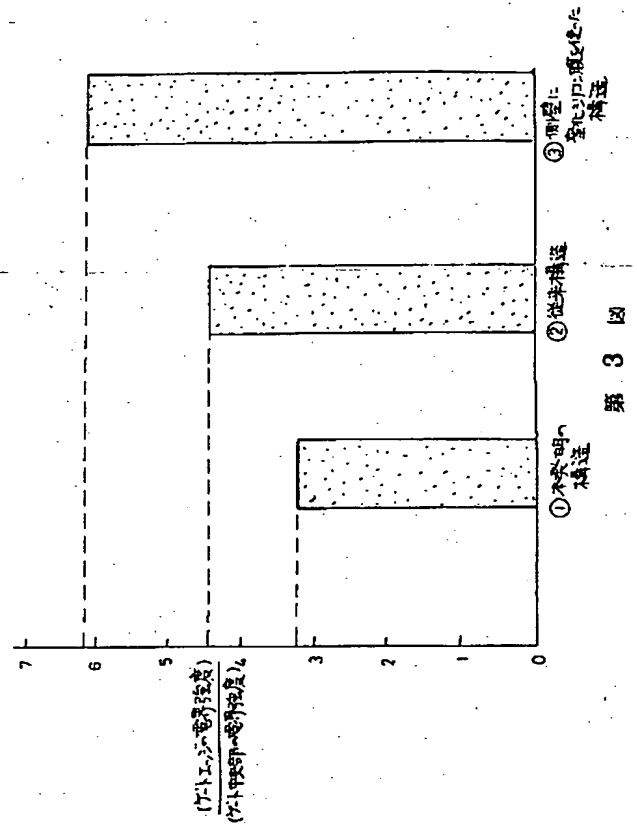
第 1 図



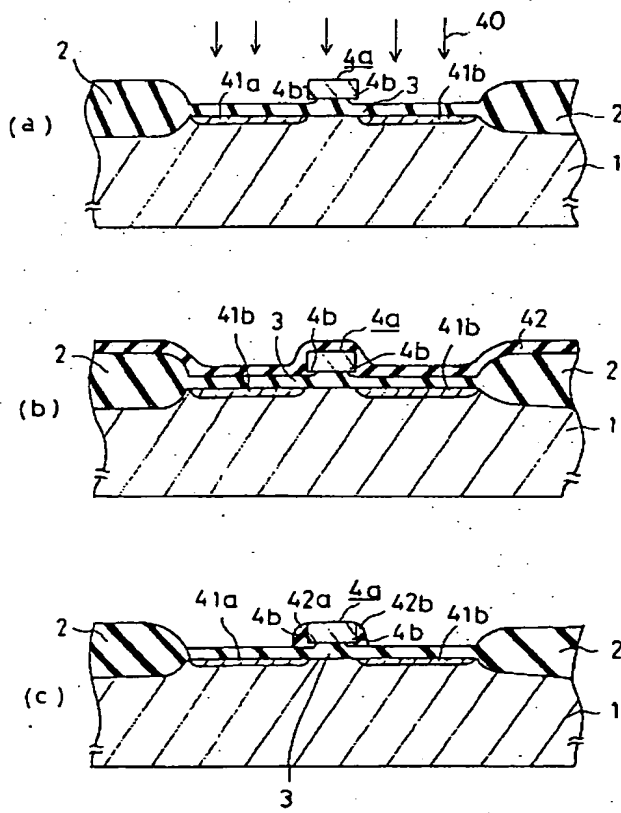
第 2 図



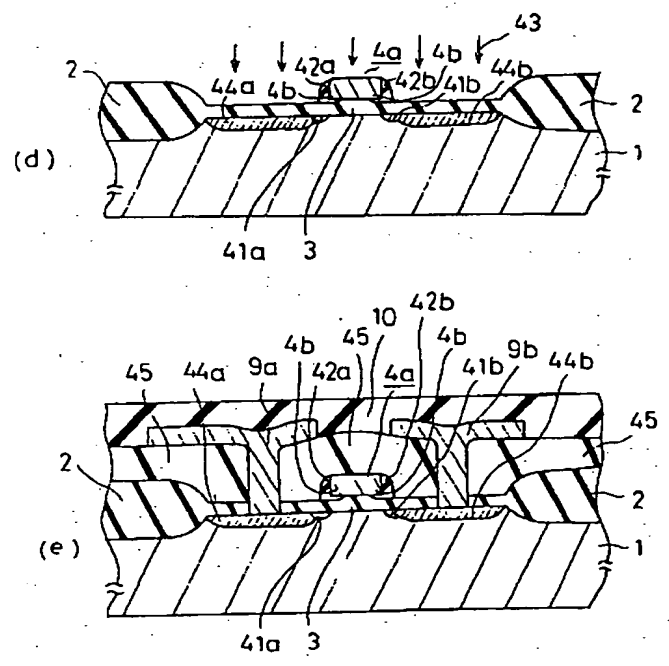
第 2 図



第 3 図

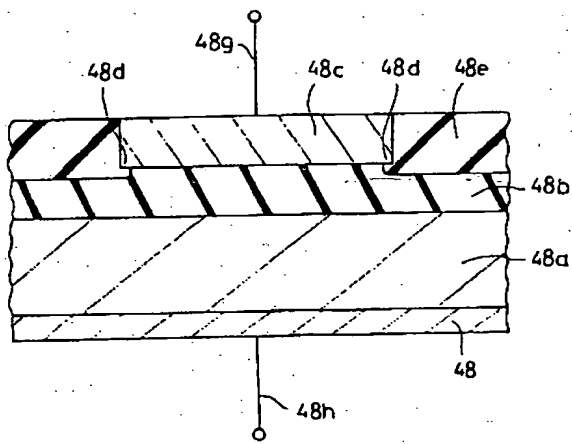


第 4 図

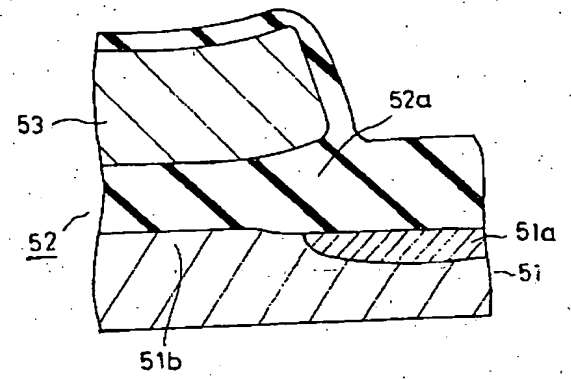


第 4 図

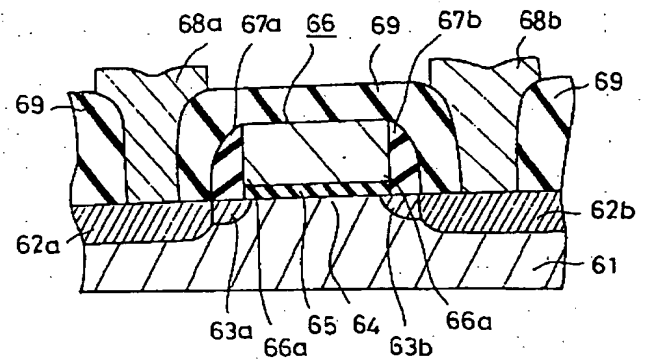




第 5 図



第 6 図



第 7 図